

Requested Patent: DE4143115A1

Title:

INVERTED-T GATE MOSFET - USES SEPARATE DEPOSITION OF THIN POLY:SILICON@ LAYER FOR GATE ELECTRODE OVERLYING THE LIGHTLY DOPED DIFFUSED REGIONS FOR HIGHER RELIABILITY ;

Abstracted Patent: DE4143115 ;

Publication Date: 1992-09-03 ;

Inventor(s):

CHOI YOUNGSUK (KR); KWON GUEHYUNG (KR); YOO KWANGDONG (KR); WON TAEYOUNG (KR) ;

Applicant(s): SAMSUNG ELECTRONICS CO LTD (KR) ;

Application Number: DE19914143115 19911223 ;

Priority Number(s): KR19910003121 19910226 ;

IPC Classification: H01L21/336; H01L29/784 ;

Equivalents: FR2673326, JP4317339 ;

ABSTRACT:

The inverted-T gate MOS transistor is made as follows: on a substrate (21) a gate oxide layer (22), polySi layer (23) and metal layer (24), pref. of W or Ti and to act as a shielding layer, are deposited in this order. A polySi gate is defined and the polySi layer layer etched back pref. until the gate-oxide layer shows, and then used to mask the implantation of lightly doped drain and source regions (25). A second poly-Si layer (26) is deposited and then a low temp. oxide layer, pref. with a high dielectric constant, pref. Ta2O5 from which oxide spacers (27A) are formed adjacent to the sides of the poly-Si gates. The uncovered regions of polysi are etched away and a high concn. implantation carried out to give low resistance source- and drain-regions. USE/ADVANTAGE - The process is simpler and capable of higher yield than current processes. The Nmos process claimed can also be used as part of a Cmos process. The process is easily controlled and uses no additional masking steps. No unnecessary layers inside the gate structure are used as in some current techniques.



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Offenlegungsschrift
⑩ DE 41 43 115 A 1

⑤1 Int. Cl.⁵:
H 01 L 21/336
H 01 L 29/784
// H 01 L 27/105

②1 Aktenzeichen: P 41 43 115.4
②2 Anmeldetag: 23. 12. 91
②3 Offenlegungstag: 3. 9. 92

DE 41 43 115 A 1

③0 Unionspriorität: ③2 ③3 ③1
26.02.91 KR 91-3121

⑦1 Anmelder:
Samsung Electronics Co., Ltd., Suwon, KR

⑦4 Vertreter:
Meissner, P., Dipl.-Ing.; Presting, H., Dipl.-Ing.,
Pat.-Anwälte, 1000 Berlin

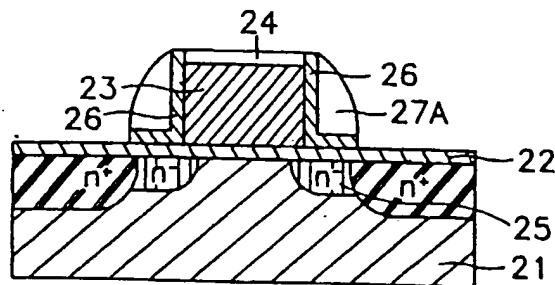
⑦2 Erfinder:
Won, Taeyoung, Seoul/Soul, KR; Choi, Youngsuk,
Kyunggi, KR; Yoo, Kwangdong, Incheon, KR; Kwon,
Guehyung, Seoul/Soul, KR

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Invertierter T-LDD MOS Feldeffekt-Transistor und Verfahren zu seiner Herstellung

⑤7 Es ist die Herstellung eines invertierten T-LDD Feldeffekt-Transistors beschrieben, die folgende Schritte enthält: Aufeinanderfolgend werden eine erste gate-Oxidschicht (22), eine Polysiliziumschicht (23) und eine Metallschicht (24) auf einem Substrat gebildet; sodann folgen Strukturierung und Bildung eines Polysiliziumgates, eine Ionen-Implantation mit geringer Konzentration zur Bildung der drain- und source-Bereiche, Abscheidung und Strukturierung einer zweiten Polysiliziumschicht (26) und einer Niedrigtemperatur-Oxidschicht (27) zur Bildung der Begrenzung an Seitenwänden des Polysiliziumgates, Beseitigung der freibleibenden zweiten Polysiliziumschicht (26) und Durchführung einer Ionen-Implantation hoher Konzentration.

Auch beschrieben ist eine MOS-Anordnung ohne unnötige Schichten auf dem Polysiliziumgate, mit einer reproduzierbaren Veränderung der Dicke aller Schichten, wodurch das Stromflußvermögen und die Zuverlässigkeit durch den Oxideinschluß-Effekt, welcher leicht zu erzeugen ist, verbessert sind.



DE 41 43 115 A 1

Die vorliegende Erfindung betrifft einen invertierten T-LDD MOS Feldeffekt-Transistor und spezieller invertierten T-LDD MOS Feldeffekttransistor, der einen LDD (Lightly Doped Drain) Transistor mit invertierter T-gate-Struktur betrifft.

In letzter Zeit besteht ein erhöhtes Interesse an MOS Feldeffekt-Transistoren mit einem Submikron-Aufbau, zum Beispiel einem Aufbau unterhalb von 0,5 bis 1 μm , um einen LDD MOS Feldeffekttransistor zu entwickeln, der eine sogenannte LDD besitzt. Der LDD MOS Feldeffekt-Transistor besitzt eine hervorragende Kapazität und Zuverlässigkeit. Die LDD-Struktur wird vielfach im Schmal-Kanal NMOS Feldeffekt-Transistor für reduzierten Elektroneneffekt verwendet. Die LDD-Struktur benötigt einen Oxid-Seitenwand-Abstandhalter, um das Maximum des lateralen elektrischen Feldes in der Kanalregion zu verringern.

Ein Oxid-Seitenwand-Abstandhalter, der wiederum einen Absatz zwischen dem n^- source-drain und dem poly gate-Rand ermöglicht, kann verschiedene Nachteile besitzen. Auch eine geringe LDD-Dosis ($< 1 \text{ E } 13 \text{ cm}^{-2}$) ist als geeignet zur Verringerung von E_{max} und dem Substrat-Strom I_{sub} und zur Verbesserung der drain-Aufrechterhaltungsspannung bekannt.

Es wurde berichtet, daß Niedrigdosis-LDD-Transistoren eine signifikante Verringerung hinsichtlich des Strom-Antriebsvermögens zeigen; sie besitzen letztendes eine schnellere Degradationsrate als Strukturen mit höherem I_{sub} . Die schnelleren Degradationsraten sind auf die negative Ladung oder die Grenzflächenzustände, die sich oben auf der lichtbeeinflussten n^- LDD-Region anschließen, welche nicht direkt unter dem poly gate liegen, zurückzuführen. Seit dieser Bereich nicht unter direkter gate-Modulation liegt, kann er leichter von den eingeschlossenen Ladungen entleert werden, was einen signifikanten Anstieg im source-drain-Serienwiderstand und somit eine schnellere Degradation beim Stromfluß verursacht.

Um diese Problem zu lösen, sind bereits einige Vorschläge bekanntgeworden. Ein solcher Vorschlag ist in dem Aufsatz "Ein neuartiger Submikron-LDD-Transistor mit invertierter T-gate-Struktur", Seiten 742-745, in IEDM Technical Digest 1986, IEEE, veröffentlicht. Die Fig. 1A, 1B und 1C sind Ablaufdiagramme, die diesen Vorschlag erläutern. Wie in Fig. 1A gezeigt, sind eine gate-Oxidschicht (2), eine Polysiliziumschicht (3) und eine Oxidschicht (4) nacheinander auf einem Substrat (1) gebildet und photolithographisch bearbeitet, um ein Polysilizium-gate (5) zu bilden. Anstatt einer vollständigen Ätzung entlang der Polysiliziumschicht (3), wenn das Polysiliziumgate (5) gebildet wird, ist die Polysilizium-Ätzung gezielt unterbrochen, um eine dünne Polysiliziumschicht (3A) übrigzulassen, im Ergebnis dessen ein Polysilizium-gate mit einer invertierten T-Struktur (5) gebildet ist. Eine Phosphor-n-Dosis wird mit hoher Energie implantiert, um die n-LDD-Region (6) zu bilden.

Wie in Fig. 1B gezeigt ist, wird dann eine CVD (Chemical Vapor Deposition)-Oxidschicht (7) aufgebracht und anisotrop geätzt, um eine Oxid-Seitenwand-Abstandbegrenzung (7A) zu bilden. Eine Plasma-Poly-Ätzung schließt sich an zur Freimachung der bleibenden dünnen Polysiliziumschicht (3A) ausschließlich unter dem unteren Teil der Oxid-Seitenwand-Abstandbegrenzung (7A), die bereits gestaltet wurde. Eine flache Arsen- n^+ -Implantation zur Herstellung des source-drain-

Bereiches (8) schließt sich an.

Wie in Fig. 1C gezeigt ist, sind die Oxidschichten (4, 7), außer zwischen der Oxid-Seitenwand-Abstandbegrenzung (7A), beseitigt, die den Streifen der Polysiliziumschicht (3) begrenzt, wodurch sich das Polysilizium-gate (5) mit der invertierten T-Struktur vervollständigt.

Es ist wichtig, daß bei der Bildung des n^+ source-drain-Bereiches (8) der n^+ source-drain-Implant zu dem Polysilizium-gate (5) selbstausrichtend ist, wodurch ein Optimum L_n erhalten werden kann.

Das Polysilizium-gate (5) mit der invertierten T-Struktur wird in solcher Weise gebildet, daß nachdem die Polysilizium-gate-Region (5) geätzt ist, wobei die Maske zu der Abscheidung der Polysiliziumschicht (3) benötigt wird, die dünne Polysiliziumschicht (3A), die eine bestimmte Dicke besitzt, durch Variation der Zeit eingestellt wird. Demgemäß besitzt dieser Herstellungsvorgang Schwierigkeiten wegen der exakten Dicke des dünnen Films (3A). Auch die n^- -Verunreinigung, die durch die dünne Polysiliziumschicht (3A) implantiert ist, beeinflusst die Schichtqualität und Zuverlässigkeit des Polysiliziumgates (5) und damit die Miniaturisierungs-Zuverlässigkeit der Eigenschaften des MOS Feldeffekt-Transistors.

Ein anderes Vorgehen ist in dem Aufsatz "Eine selbstausrichtende invertierte T-gate vollständig überlappende LDD-Anordnung für ein Unter-Halbmikron-CMOS", Seiten 765 bis 768, in IEDM Technical Digest 1989, IEEE, beschrieben.

Diese Technik benötigt ein Oxid oder eine TiN-Trennschicht, die in einem Polysilizium-gate mit invertierter T-Struktur zwischenangeordnet ist. Beide, das Oxid und das TiN, zeigen eine gute Ätzkantenschärfe in bezug auf eine Polysiliziumschicht, wodurch es möglich ist, zu variieren und die Dicke der Polysiliziumschicht gleichmäßig zu machen.

Weiter ist zu sagen, wie in Fig. 2 gezeigt, daß zwischen einer ersten Polysiliziumschicht (11) und einer zweiten Polysiliziumschicht (12) ein Polysilizium-gate vorgesehen ist, welches aus einem Oxid oder einer TiN-Pufferschicht (13) gebildet ist. Beim Ätzen der dicken Polysiliziumschicht stoppt die Ätzung an dieser Oxidschicht (13), um die obengenannten Probleme zu beherrschen. Diese Pufferschicht (13) wird für die Struktur und den Einsatz des MOS Feldeffekt-Transistors nicht benötigt und bleibt zwischen den Polysiliziumschichten (11, 12) übrig; dadurch ergibt sich ein nachteiliger Effekt bei dem Einsatz des Submikron MOS Feldeffekt-Transistors.

Der Erfindung lag die Aufgabe zugrunde, einen invertierten T-LDD MOSFET anzugeben, der eine große Einsatzbreite und eine große Zuverlässigkeit besitzt sowie ein Verfahren zu dessen Herstellung.

Eine weitere Aufgabe war, ein Verfahren zur Herstellung eines invertierten T-LDD MOSFET in Herstellungsschritten anzugeben, die einfach und leicht zu überwachen sind.

Entsprechend einem Aspekt der vorliegenden Erfindung wird eine Methode zur Herstellung eines invertierten T-LDD MOS-Feldeffekttransistors bestehend aus folgenden Schritten angegeben: Aufeinanderfolgende Abscheidung einer ersten gate-Oxidschicht, einer Polysiliziumschicht und einer Metallschicht auf dem Substrat; Abscheidung und Strukturierung eines Polysilizium-gates; Durchführung einer Ionenimplantation zur Bildung einer niedrigen Konzentration der drain- und source-Region; Abscheidung und Strukturierung einer zweiten Polysiliziumschicht und einer Niedrigtempera-

tur-Oxidschicht zur Bildung der Seitenwand-Abstandhalter auf dem Polysilizium-gate und Entfernung der übriggebliebenen zweiten Polysiliziumschicht zur Bildung eines Ionenimplants mit hoher Konzentration.

Entsprechend eines anderen Aspekts der vorliegenden Erfindung, wird ein invertierter T-LDD MOS-Feldeffekt-Transistor erstellt, bestehend aus: einem Polysilizium-gate mit invertierter T-Struktur, erzeugt auf einem Substrat und mit Abstandbegrenzung an seinen Seitenwänden, einem mit Ionen niedrigkonzentrierten drain- und source-Gebiet, speziell gebildet im inneren Teil unter dem Polysilizium-gate und einer widerstandsfähigen Metallschicht, abgeschieden auf der Oberfläche des Polysilizium-gates.

Auf der N^+ -Polysiliziumschicht 23 wird eine Metallschutzschicht durch einen anschließenden Härteprozeß gebildet, d. h. eine Verbindung des Schutzmetalls und Silizium, wie Wolfram-Silizium (WSi_2) oder Titan-Silizium ($TiSi_2$).

Andere Gegenstände und Merkmale der vorliegenden Erfindung sollen im folgenden unter Bezugnahme auf die beigefügten Zeichnungen erläutert werden. In diesen zeigen:

Fig. 1A bis 1C Folgedarstellungen, die den Herstellungsvorgang einer Ausführungsform eines LDD MOS Feldeffekt-Transistors mit invertierter T-gate-Struktur nach dem Stand der Technik zeigen,

Fig. 2 eine Schnittdarstellung einer anderen Ausführung eines LDD MOS Feldeffekt-Transistors mit invertierter T-gate-Struktur gemäß des Standes der Technik,

Fig. 3A bis 3D Folgedarstellungen des Herstellungsprozesses eines invertierten T-LDD MOS Feldeffekt-Transistors gemäß der vorliegenden Erfindung,

Fig. 3E eine Schnittdarstellung einer bevorzugten Ausführungsform gemäß der vorliegenden Erfindung.

Wie in Fig. 3A gezeigt ist, sind eine erste gate-Oxidschicht (22), eine n^+ -Polysiliziumschicht (23) und eine Metallschutzschicht (24) nacheinander auf einem Substrat (21) aufgebracht. Eine SiO_2 -Schicht von ungefähr 200 \AA ist als gate-Oxidschicht (22) vorgesehen und als Schutzmetall wird Titan oder Wolfram benutzt.

Fig. 3B zeigt, daß die n^+ -Polysiliziumschicht (23) und die Metallschutzschicht (24) durch eine Photolithographie so geätzt sind, daß ein Teil des Polysilizium-gates stehenbleibt und die erste gate-Oxidschicht (22) freigelegt ist und dann eine Ionen-Implantation mit n^- -Störstellen durchgeführt wird, wodurch sich ein n^- -LDD (25) bildet.

Der Prozeß der Abscheidung und Ätzung des Schutzmetalls Titan oder Wolfram nach dem davorliegenden Verfahrensschritt, Bildung eines Polysilizium-gates, schließt die Herstellung eines n^- und n^+ -source-drain-Bereiches durch die Selbstausrichtung auf die Seitenwandbereiche des Polysilizium-gates ein, wodurch die Veränderung der n^- -LDD (25)-Dosis und -Erstreckung entsprechend des Layouts möglich ist.

Das n^- -LDD (25) ist unter dem Polysilizium-gate gebildet, welches das Stromflußvermögen durch den Eigenwiderstand des drains nicht reduziert und den Heißladungsträger-Effekt durch Reduzierung der n^- -Dosis verbessert.

Speziell ausgedrückt, das n^- -LDD (25) ist unter dem Polysilizium-gate gebildet und die Element-Degradation durch das eingeschlossene Oxid kann verringert werden, wodurch es möglich ist, die Durchschnittslebensdauer zu verlängern.

Wie in Fig. 3B gezeigt, sind ein gate, ein source und ein drain als Hauptbestandteile des MOS Feldeffekt-

Transistors gebildet. Fig. 3C zeigt den Abscheidungs- und Strukturierungsprozeß der zweiten n^+ -Polysiliziumschicht (26) und einer zweiten Oxidschicht (27); diese verlaufen an der Oberfläche mit anschließender Strukturierung. Sodann wird eine Oxidschicht (27) in LTO (Low Temperature Oxidation)-Technik erzeugt und die Strukturierung erfolgt derartig, daß das Polysilizium-gate die invertierte T-Struktur erhält, wodurch die Oxidschicht (27) als Begrenzung beibehalten wird. Ta_2O_5 , das eine hohe Dielektrizitätskonstante besitzt, wird bevorzugt als Begrenzung (27A) verwendet mit der Absicht, den Randeinschnürung-Feldeffekt zu erhöhen.

Die Breite der Begrenzung gemäß der vorliegenden Erfindung kann vorteilhafterweise so festgelegt sein, wie zu den Bedingungen der RIE (Reactive Ion Etching) und ist etwa so zu variieren, wie die LTO-Dicke durch Ätzbedingungen für das Schutzmetall.

Wie Fig. 3D zeigt, sind die verbleibende zweite Oxidschicht (27), die den Begrenzungsbereich festlegen soll, und die n^+ -Polysiliziumschicht (26), angeordnet auf dem Polysilizium-gate, geätzt und es wurde eine n^+ -Ionen-Implantation vorgenommen, um den invertierten T-LDD MOS-Feldeffekt-Transistor zu bilden.

Die Metallschicht (24), die durch den Ätzprozeß freigelegt ist, wie in Fig. 3D gezeigt, wird abgeschieden, wenn die Applikationselemente erzeugt werden. Wie in Fig. 3E zu erkennen, kann der invertierte T-LDD MOS Feldeffekt-Transistor entsprechend der vorliegenden Erfindung in einem erzeugten NMOS Feldeffekt-Transistor für einen CMOS-Herstellungsprozeß verwendet werden. Man kann sagen, daß invertierte T-LDD Feldeffekt-Transistor nach der Erfindung in dem P-Senkenbereich (29) und der aktive Bereich zwischen der Feld-Oxidschicht (28) hinsichtlich der Differenzierung der Anwendung gestaltet sein kann.

Die oben beschriebene Anordnung ist mit einem benachbarten PMOS Feldeffekt-Transistor zur Bildung eines CMOS verbunden und bildet somit eine Speicheranordnung, wie z. B. als ROM (Read Only Memory), RAM (Random Access Memory) und andere und/oder sie dient der Applikation einer Halbleiteranordnung, bei der ein MOS Feldeffekt-Transistor benötigt wird.

Dieser Herstellungsprozeß ist einfach zu handhaben und die Produktionskontrolle ist dem angepaßt, wenn die Maske zur Strukturierung des Polysilizium-gates in einem früheren Herstellungsschritt, durch den das n^- und n^+ -LDD gebildet wurde, nur einmal benutzt wird. Ferner ist die Dickenveränderung bei Anwendung von RIE viel einfacher, als die bekannte Dickermodulation durch LTO. Es werden keine unnötigen Schichten in der Polysilizium-gate-Struktur wie im bekannten Stand der Technik gebildet und man erhält einen verbesserten invertierten T-LDD MOS Feldeffekt-Transistor, welcher ermöglicht, das Maximum an lateralem elektrischen Feldeffekt zu verringern.

Patentansprüche

1. Verfahren zur Herstellung eines invertierten T-LDD MOS Feldeffekt-Transistors, gekennzeichnet durch:

- aufeinanderfolgende Herstellung einer ersten gate-Oxidschicht, einer Polysiliziumschicht und einer Metallschicht auf einem Substrat;
- Strukturierung und Herstellung eines Polysilizium-gates;

- Durchführung der Ionenimplantation, zur Bildung eines niedrigkonzentrierten drain- und source-Gebietes;
 - Abscheidung und Strukturierung einer zweiten Polysiliziumschicht und einer Niedrigtemperatur-Oxidschicht zur Bildung einer Begrenzung zwischen Seitenwänden auf dem Polysilizium-gate und
 - Beseitigung der nichtbedeckten Teile der zweiten Polysiliziumschicht zur Durchführung einer Ionenimplantation mit hoher Konzentration.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Metallschicht eine Schutzschicht ist.
3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß die Metallschutzschicht aus einem der Metalle Titan oder Wolfram besteht.
4. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß eine niedrigkonzentrierte Ionenimplantation in das Polysilizium-gate zur Bildung von drain und source-Bereich eingebracht ist.
5. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Strukturierung zur Bildung des Polysilizium-gate einen Materialabtrag ergibt, bis die erste gate-Oxidschicht freigelegt ist.
6. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Abstandbegrenzer aus einem Isolator mit einer hohen Dielektrizitätskonstanten besteht.
7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, daß der Abstandbegrenzer aus Ta_2O_5 besteht.
8. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß jeder zur Herstellung eines NMOS benötigte Herstellungsprozeß auch zur Herstellung eines CMOS einsetzbar ist.
9. Invertierter T-LDD MOS Feldeffekt-Transistor, bestehend aus:
- einem Polysilizium-gate mit invertierter T-Struktur gebildet auf einem Substrat und mit Begrenzung an seinen Seitenwänden;
 - drain- und source-Bereich mit niedriger Ionen-Konzentration, beziehungsweise gebildet im inneren Bereich unter dem Polysilizium-gate;
 - einer Metallschutzschicht, die an der Oberfläche des Polysiliziumgates abgeschieden ist.
10. Feldeffekt-Transistor nach Anspruch 9, dadurch gekennzeichnet, daß die hergestellte Anordnung ein NMOS Feldeffekt-Transistor ist, der bei der CMOS-Herstellung einsetzbar ist.
11. LDD-Transistor, bestehend aus einem Halbleiter-Substrat und darauf vorgesehener Isolierschicht und einem gate mit Seitenwand-Begrenzung, dadurch gekennzeichnet, daß das gate aus einem zentralen Bereich aus dickem Polysilizium und dünnem Polysilizium, gebildet an den Seitenwänden des zentralen Bereiches, und der Isolierschicht, besteht, daß das dünne Polysilizium in Ausrichtung zur Seitenwand-Begrenzung gebildet ist, daß eine dünne Schutzmetall-Abscheidung in Ausrichtung zum zentralen Bereich gebildet ist, daß die Metallschutzschicht mit dem dünnen Polysilizium bündig abschließt, daß die ganze Struktur des zentralen Bereiches des dicken Polysiliziums, das dünne Polysilizium und die dünne Metallschutzschicht einen invertiert-T-Charakter besitzt, daß die licht-

dotierten source- und drain-Bereiche im Substrat ihren Endzustand in Ausrichtung zu dem zentralen Bereich des dicken Polysiliziums und daß die dotierten source- und drain-Bereiche im Substrat ihren Endzustand in Ausrichtung zu den Seitenwand-Begrenzungen haben.

Hierzu 2 Seite(n) Zeichnungen

FIG. 1A

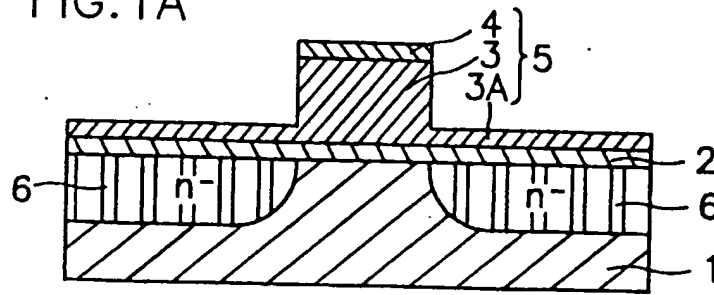


FIG. 1B

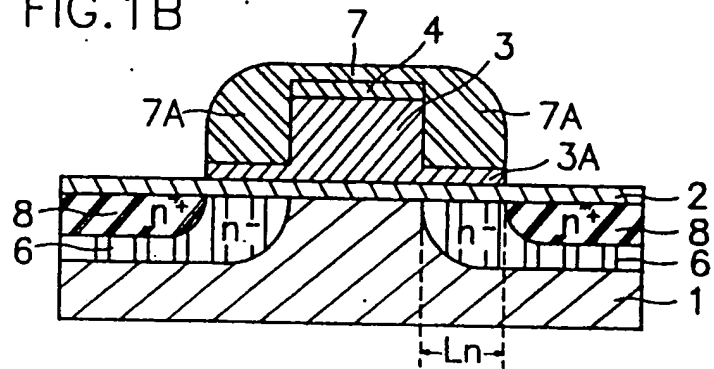


FIG. 1C

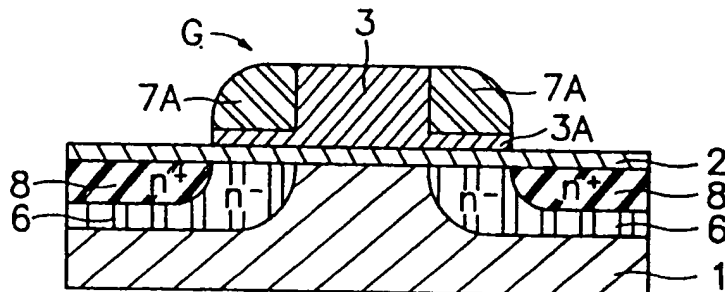


FIG. 2

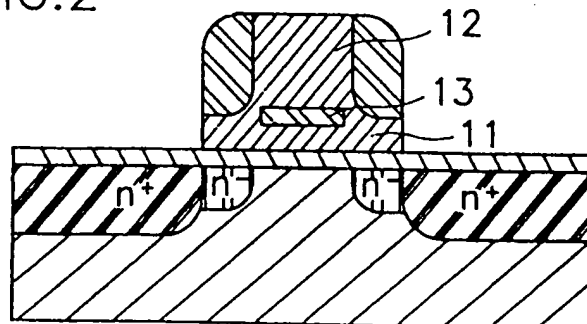


FIG.3A

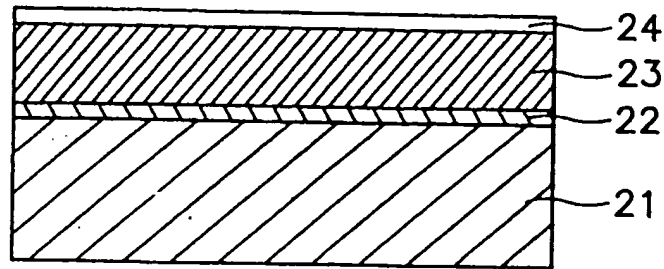


FIG.3B

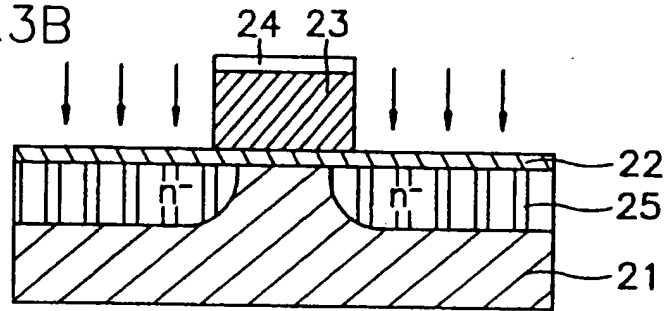


FIG.3C

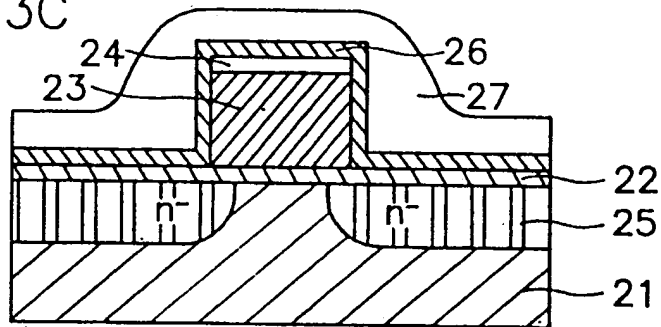


FIG.3D

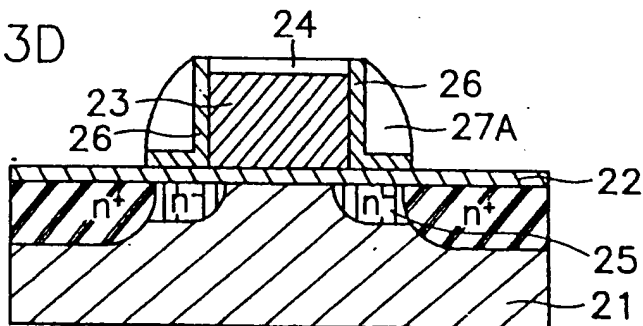


FIG.3E

